

PCT

ORGANISATION MONDIALE DE LA PROPRIÉTÉ INTELLECTUELLE  
Bureau international



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets <sup>6</sup> : <b>H03M 13/22</b>	<b>A1</b>	(11) Numéro de publication internationale: <b>WO 95/16311</b> (43) Date de publication internationale: <b>15 juin 1995 (15.06.95)</b>
(21) Numéro de la demande internationale: <b>PCT/FR94/01417</b> (22) Date de dépôt international: <b>6 décembre 1994 (06.12.94)</b> (30) Données relatives à la priorité: <b>93/14646 7 décembre 1993 (07.12.93) FR</b> (71) Déposant (pour tous les Etats désignés sauf US): <b>THOMSON CONSUMER ELECTRONICS [FR/FR]; 9, place des Vosges, La Défense 5, F-92400 Courbevoie (FR).</b> (72) Inventeur; et (75) Inventeur/Déposant (US seulement): <b>HANNA, Charaf [FR/FR]; Thomson-CSF SCPI, Boîte postale 329, F-92402 Courbevoie Cédex (FR).</b> (74) Mandataire: <b>THOMSON-CSF SCPI; Boîte postale 329, F-92402 Courbevoie Cédex (FR).</b>		(81) Etats désignés: <b>JP, US, brevet européen (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</b>  <b>Publiée</b> <i>Avec rapport de recherche internationale.</i> <i>Avant l'expiration du délai prévu pour la modification des revendications, sera republiée si de telles modifications sont reçues.</i>

(54) Title: BLOCK INTERLEAVING AND DEINTERLEAVING METHOD AND DEVICE THEREFOR

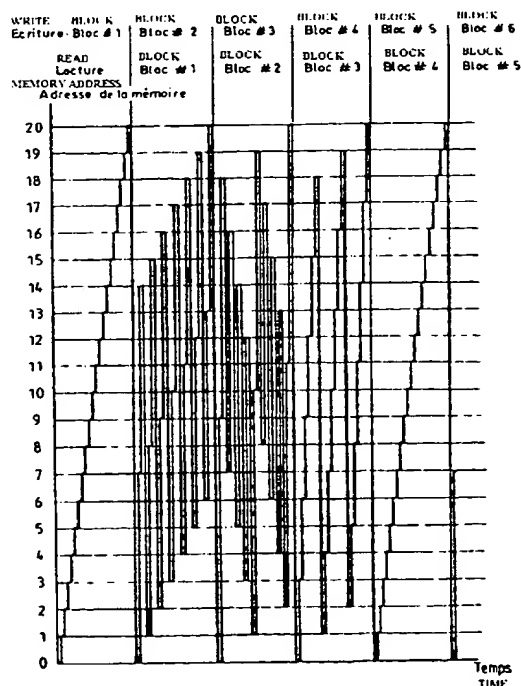
(54) Titre: PROCEDE D'ENTRELACEMENT ET DE DESENTRELACEMENT EN BLOC ET DISPOSITIF DE MISE EN ŒUVRE

(57) Abstract

A method for interleaving blocks of P packets with L binary words each by writing data into an interleaving memory in a given order and reading them out again in the order of interleaving. According to the method, once a data item corresponding to a block b-1 has been read at a given address, a data item corresponding to block b is written in at the same address. The method is useful in digital data transmission, particularly when transmission is disrupted.

(57) Abrégé

L'invention a pour objet un procédé d'entrelacement de blocs de P paquets comportant chacun L mots binaires, l'entrelacement étant réalisé en écrivant les données dans une mémoire d'entrelacement dans un ordre donné et en les relisant dans un ordre correspondant à l'entrelacement. Le procédé conforme à l'invention consiste en ce qu'après avoir lu, à une adresse donnée, une donnée correspondant à un bloc b-1, on écrit à la même adresse une donnée correspondant au bloc b. L'invention s'applique dans le domaine de la transmission de données numériques, particulièrement en cas de transmissions perturbées.



# **UNIQUEMENT A TITRE D'INFORMATION**

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AT	Autriche	GB	Royaume-Uni	MR	Mauritanie
AU	Australie	GE	Géorgie	MW	Malawi
BB	Barbade	GN	Guinée	NE	Niger
BE	Belgique	GR	Grèce	NL	Pays-Bas
BF	Burkina Faso	HU	Hongrie	NO	Norvège
BG	Bulgarie	IE	Irlande	NZ	Nouvelle-Zélande
BJ	Bénin	IT	Italie	PL	Pologne
BR	B Brésil	JP	Japon	PT	Portugal
BY	Bélarus	KE	Kenya	RO	Roumanie
CA	Canada	KG	Kirghizistan	RU	Fédération de Russie
CF	République centrafricaine	KP	République populaire démocratique de Corée	SD	Soudan
CG	Congo	KR	République de Corée	SE	Suède
CH	Suisse	KZ	Kazakhstan	SI	Slovénie
CI	Côte d'Ivoire	LI	Liechtenstein	SK	Slovaquie
CM	Cameroun	LK	Sri Lanka	SN	Sénégal
CN	Chine	LU	Luxembourg	TD	Tchad
CS	Tchécoslovaquie	LV	Lettonie	TG	Togo
CZ	République tchèque	MC	Monaco	TJ	Tadjikistan
DE	Allemagne	MD	République de Moldova	TT	Trinité-et-Tobago
DK	Danemark	MG	Madagascar	UA	Ukraine
ES	Espagne	ML	Mali	US	Etats-Unis d'Amérique
FI	Finlande	MN	Mongolie	UZ	Ouzbékistan
FR	France			VN	Viet Nam
GA	Gabon				

## **PROCEDE D'ENTRELACEMENT ET DE DESENTRELACEMENT EN BLOC ET DISPOSITIF DE MISE EN OEUVRE**

La présente invention se rapporte à un procédé d'entrelacement  
5 et de désentrelacement en blocs de données, ainsi qu'à un dispositif mettant  
en oeuvre ce procédé. L'invention s'applique notamment à l'entrelacement  
de données numériques avant leur transmission et au désentrelacement  
après réception.

Il est connu de par l'art antérieur d'associer les techniques de  
10 détection et de correction d'erreur et d'entrelacement pour fiabiliser la  
transmission de données numériques.

Pour un code correcteur d'erreur tel que le code Reed-Solomon,  
on annexe au paquet de mots binaires à transmettre un certain nombre de  
mots supplémentaires, permettant de corriger jusqu'à un nombre maximum  
15 donné d'erreurs de transmission. Lorsque ce maximum d'erreurs est  
dépassé, le code correcteur n'est plus suffisant. Ceci peut notamment être le  
cas si une salve d'erreurs corrompt plusieurs mots contigus.

Pour augmenter l'efficacité du code correcteur, on procède à  
l'entrelacement de plusieurs paquets de données. Cette technique consiste  
20 à transmettre successivement des mots issus de paquets différents. En ne  
transmettant pas chaque paquet d'un seul coup, il est possible de répartir  
les conséquences d'une salve d'erreurs sur plusieurs paquets, et de rester  
ainsi dans les limites du code correcteur.

L'entrelacement, au niveau de l'organe émetteur, est  
25 généralement réalisé en écrivant les données dans une mémoire dans un  
certain ordre, et en les relisant dans un ordre différent pour la transmission.  
Le désentrelacement, au niveau du récepteur est réalisé de manière  
inverse, en écrivant les données dans la mémoire de désentrelacement  
suivant l'ordre de lecture de la mémoire d'entrelacement, et en relisant les  
30 données suivant l'ordre d'écriture dans la mémoire d'entrelacement.

Soient à entrelacer P paquets, comprenant chacun L octets. Ces  
P paquets constituent un bloc B. On dit que l'on réalise un entrelacement de  
profondeur P en réarrangeant les octets des P paquets de manière à  
séparer deux octets successifs d'un paquet donné par P-1 octets issus des  
35 P-1 autres paquets.

La figure 1 montre une mémoire permettant de réaliser cet  
entrelacement. Pour simplifier l'exposé de l'art antérieur, cette mémoire

comporte P colonnes d'octets. Les adresses vont en s'incrémentant de gauche à droite et de haut en bas, tel que le montre la figure 1.

L'écriture dans cette mémoire se fait en écrivant le premier octet du premier paquet à l'adresse 0, le second octet à l'adresse P, et ainsi de suite jusqu'au dernier octet (octet L-1) à l'adresse (L-1)P. Ces adresses correspondent à la première colonne de la mémoire. De la même façon, on écrira le second paquet aux adresses 1, P+1, ... (L-1)P+1 de la seconde colonne. On procède ainsi jusqu'au dernier paquet et la dernière colonne. L'ordre d'écriture est illustré à la figure 2.

En généralisant, on peut dire que l'octet l (avec  $l \in [1, L]$ ) du paquet p (avec  $p \in [1, P]$ ) du bloc b (avec  $b \in [1, B]$ ) s'écrira à l'adresse  $(b-1)LP+(p-1)+(l-1)P$  de la mémoire.

La lecture s'effectuera dans l'ordre des adresses, c'est à dire en lisant ligne après ligne (voir figure 3). On lit donc d'abord les premiers octets de tous les paquets, suivis par les seconds octets et ainsi de suite. L'entrelacement est donc bien réalisé.

Ce schéma d'écriture-lecture implique qu'il est nécessaire d'écrire une grande partie des données d'un bloc B avant de pouvoir en lire. Concrètement, on doit avoir écrit  $E=(L-1)(P-1)+1$  octets avant de lire le premier octet à l'adresse 0. Si ce critère n'est pas respecté, la lecture se fera à un moment ou à un autre à une adresse non encore balayée par l'écriture.

La figure 4 illustre l'évolution de l'adresse d'écriture et de l'adresse de lecture dans le cas où P est pris égal à 3 et L est pris égal à 7. Le temps est représenté en abscisse, tandis que les adresses de la mémoire d'entrelacement sont en ordonnée. T représente un cycle élémentaire d'horloge. On supposera que pour un cycle donné, l'écriture est effectuée avant la lecture. De ce fait, lorsque l'adresse d'écriture est égale à l'adresse de lecture pour un même cycle T, la donnée correspondante est d'abord écrite avant d'être relue pendant le même cycle T.

La courbe en dents de scie 1 représente les adresses d'écriture, tandis que la courbe en escalier 2 représente les adresses de lecture. La courbe 1 réalise 6 sauts de 3 adresses à partir de l'adresse 0, ceci correspondant à l'écriture du premier paquet (7 octets) dans la première colonne. L'écriture reprend alors en haut de la seconde colonne, avec l'adresse 1. Au point A, c'est à dire après l'écriture de  $(L-1)(P-1)+1=13$  octets, la lecture peut commencer à l'adresse 0, pendant le même cycle qu'est effectuée l'écriture du treizième octet. L'adresse de lecture

s'incrémentera d'une unité à chaque cycle d'horloge. On notera qu'au point D, les deux courbes se rejoignent. Si la lecture des données avait été entreprise plus tôt qu'au 13<sup>e</sup> cycle d'écriture, par exemple au 12<sup>e</sup> cycle, on aurait tenté de lire à l'adresse 2 avant même d'y avoir écrit une donnée.

5           Au point B, l'écriture du premier bloc de P paquets est achevée, la dernière valeur ayant été écrite à l'adresse  $(LP-1)=20$ . L'écriture du prochain bloc commence alors à l'adresse  $LP=21$ , comme illustré à la figure 2. En fin de bloc, le saut d'adresse est donc de 1.

10           La taille minimale Delta de la mémoire est égale à la différence maximale entre l'adresse d'écriture et l'adresse de lecture. Sur le schéma de la figure 4, on peut voir que cette différence est maximale au point C. L'adresse d'écriture est  $LP+(L-1)P$ . A ce moment  $LP+L$  octets ont été écrits. L'adresse de lecture est alors  $LP+L-E=LP+L-(LP-L-P+2)=2L+P-2$ .

On obtient donc  $\Delta = LP+(L-1)P-(2L+P-2)+1 = 2(L-1)(P-1)+1$ .

15           En considérant l'exemple numérique précédent, la taille minimale de la mémoire aurait été de 25 octets.

L'invention a pour but de présenter un procédé d'entrelacement permettant de réduire la taille des mémoires nécessaires, tout en simplifiant l'adressage de ces mémoires.

20           L'invention a pour objet un procédé d'entrelacement de blocs de P paquets comportant chacun L mots binaires, selon lequel après avoir lu à une adresse donnée une donnée correspondant à un bloc b-1, on inscrit à la même adresse une donnée correspondant au bloc b, ledit procédé étant  
25 caractérisé en ce que les adresses de la mémoire d'entrelacement allant de 0 à  $LP-1$ , la progression des adresses de lecture/écriture pour un bloc b est telle que:

30            $a_b(n) = (a_b(n-1) + (L^{(b-x)})) \bmod (LP-1)$  pour  $n \in ]0, LP-1[$ , n entier,  
avec  $a_b(0) = 0$   
 $a_b(LP-1) = LP-1$   
et  $b \in [1, \infty[$ , b entier  
 $x \leq b$ , x entier.

35           L'invention a aussi pour objet un procédé d'entrelacement de blocs de P paquets comportant chacun L mots binaires, selon lequel après avoir lu à une adresse donnée une donnée correspondant à un bloc b-1, on

inscrit à la même adresse une donnée correspondant au bloc b, ledit procédé étant caractérisé en ce que si  $a_b(n)$  est la suite des adresses de lecture/écriture dans la mémoire d'entrelacement dont les adresses vont de 0 à LP-1, la relation entre la suite d'adresses du bloc b et la suite d'adresses du bloc b+1 est:

$$\begin{aligned} a_{b+1}(n) &= L \times (a_b(n)) \text{ modulo } (LP-1) \text{ si } n \neq LP-1, \\ a_{b+1}(LP-1) &= LP-1. \end{aligned}$$

Ainsi, on remplit la mémoire en inscrivant le bloc suivant au fur et à mesure que l'on lit le bloc précédent. Du fait de l'égalité, à tout moment, des adresses de lecture et d'écriture, l'adressage de la mémoire d'entrelacement est grandement simplifié. La taille de la mémoire nécessaire n'est alors que de PL mots binaires.

Dans le premier cas, il s'agit d'une progression des adresses pour un bloc b qui ne nécessite pas la connaissance des adresses concernant le bloc b-1. Il suffit de connaître L, P, b et x.

Dans le second cas, la relation donne les renseignements nécessaires pour passer des adresses correspondant à un bloc b à celles correspondant au bloc b+1. Il suffit de connaître les adresses correspondant au bloc b, et les valeurs de L et P.

Bien évidemment, il est possible de passer d'un bloc b à un bloc b+m en appliquant m fois cette relation.

Selon un mode de réalisation particulier de l'invention, il n'y a pas de lecture de données pendant l'écriture des données du premier bloc. Les données qui pourraient être lues à ce moment n'ont normalement pas de sens.

Selon un mode de réalisation particulier de l'invention, il y a une lecture de données pendant l'écriture du premier bloc, et les résultats de cette lecture ne sont pas utilisés. Il n'y a pas alors d'exception quant au traitement du premier bloc.

L'invention a aussi pour objet un dispositif de génération d'adresses d'entrelacement et/ou de désentrelacement de blocs de P

paquets, chaque paquet comportant L mots binaires, caractérisé en ce qu'il comprend des moyens de génération, pour un bloc d'ordre b, d'une constante  $L^{(b-x)}$  modulo (LP-1) avec b entier et x entier constant inférieur ou égal à b, et des moyens d'addition d'un multiple par m (entier variant de 0 à LP-1) de ladite constante à une adresse de base, chaque valeur résultante étant prise modulo (LP-1) si ladite valeur est différente de (LP-1) ou strictement supérieure à (LP-1), le résultat de cette addition constituant l'adresse de lecture du bloc b et l'adresse d'écriture du bloc b+1.

Selon un mode de réalisation particulier, le dispositif de génération d'adresses est caractérisé en ce qu'il reçoit une horloge à la fréquence des octets à entrelacer, le dispositif comportant un diviseur d'horloge par P recevant l'horloge CO, un diviseur d'horloge par L, recevant en entrée la sortie du diviseur par P, deux additionneurs modulo (LP-1), le second additionneur n'effectuant le calcul modulo que si le résultat de son addition est soit différent, soit strictement supérieur à (LP-1), ainsi qu'un registre tampon, le premier additionneur possédant une entrée horloge recevant le signal de sortie du diviseur par P, les deux entrées de ce premier additionneur recevant respectivement la sortie du même additionneur et la sortie du registre tampon, l'additionneur possédant enfin une entrée de remise à zéro, commandée par le signal issu du diviseur par L ou un signal d'initialisation, la sortie du premier additionneur étant d'autre part reliée à l'entrée dudit registre tampon, ce dernier possédant aussi une entrée SET, reliée au signal d'initialisation et permettant de le mettre à la valeur 1, ainsi qu'une entrée d'horloge, reliée au signal issu du diviseur par L, la sortie du registre tampon étant reliée à une entrée de chacun des deux additionneurs, le second additionneur recevant sur son autre entrée sa propre sortie, qui constitue aussi la sortie du dispositif et fournit les adresses de lecture/écriture, l'entrée d'horloge du second additionneur étant reliée au signal CO, l'entrée de remise à zéro du second additionneur étant reliée à un OU logique à deux entrées, qui reçoit la sortie du diviseur par L et le signal d'initialisation.

D'autres avantages et caractéristiques de l'invention apparaîtront à travers la description d'un mode de réalisation particulier de l'invention, illustré par les figures jointes, parmi lesquelles:

-la figure 1, déjà décrite, représente le schéma d'adressage d'une mémoire d'entrelacement

-la figure 2, déjà décrite, représente un schéma d'écriture de données connu dans ladite mémoire,

-la figure 3, déjà décrite, représente un schéma de lecture de données connue de ladite mémoire,

5 -la figure 4, déjà décrite, représente un diagramme d'évolution simultané des adresses de lecture et d'écriture,

-la figure 5 représente un diagramme d'évolution des adresses d'écriture et de lecture dans une autre mémoire d'entrelacement, ladite évolution étant en accord avec un exemple de mise en oeuvre de la  
10 méthode inventive,

-la figure 6 représente un exemple de réalisation d'un dispositif de mise en oeuvre de l'invention,

-les figures 7 et 8 représentent d'autres exemples de réalisation de dispositifs mettant en oeuvre l'invention.

15

Selon le présent mode de réalisation de l'invention, on cherche à réaliser l'entrelacement, de profondeur P, de groupes de P paquets de L octets en blocs B de PL octets chacun. Conformément à l'invention, on utilisera une mémoire d'entrelacement de PL octets. Pour simplifier les  
20 explications, cette mémoire organisée en matrice de P colonnes de L octets, les espaces mémoire étant adressés de 0 à PL-1 en balayant la mémoire ligne par ligne, du haut à gauche vers le bas à droite.

La figure 5 donne l'évolution des adresses d'écriture et de lecture conformément au présent exemple de réalisation. P et L sont pris  
25 respectivement égaux à 3 et 7. La mémoire comporte donc 21 cases, d'adresses 0 à 20, données en ordonnée. Le temps figure en abscisse.

La première étape à entreprendre consiste à écrire le premier bloc (bloc b=1). Pour ce premier bloc, aucune lecture n'est effectuée. Pour prendre un exemple simple de progression des adresses d'écriture de ce  
30 premier bloc, on choisit une incrémentation d'une adresse à chaque écriture de donnée, en partant de l'adresse 0.

Le diagramme de l'évolution des adresses d'écriture du premier bloc est donné dans la première colonne de la figure 5.

La seconde étape consiste à lire les données écrites pendant la  
35 période d'écriture du bloc précédent, dans un ordre correspondant à l'entrelacement. Les adresses de lecture sont calculées à partir des adresses d'écriture du premier bloc. Dans le présent exemple, les adresses



se confondent avec l'ordre d'écriture. Si les P paquets sont écrits consécutivement dans la mémoire, il faudra lire les octets toutes les L adresses, en partant de l'adresse 0 (on lit tout d'abord les premiers octets des P paquets, puis les seconds octets etc..). La fonction donnant les adresses dans ce cas est:

$$f(X) = LX \text{ modulo } (LP-1) \text{ lorsque } LX \neq LP-1$$

$$f(X) = LP-1 \text{ lorsque } LX = LP-1$$

avec X variant de 0 à LP-1.

10

On notera que, lorsque LX est égal à LP-1, on utilise la valeur LP-1 et non la valeur 0.

Conformément à l'invention, lorsque l'on lit les données du premier bloc, on écrit, aux adresses de lecture, les données correspondant au second bloc. Cette écriture est effectuée dans le même ordre que précédemment, c'est à dire que l'écriture se fait paquet par paquet, en partant du premier octet du premier paquet. Les adresses de lecture/écriture sont bien évidemment choisies de façon à réaliser l'entrelacement, et sont calculées en utilisant la fonction f.

Les adresses de lecture du second bloc sont définies en appliquant  $f^2$  au lieu de f, et ainsi de suite pour les blocs suivants. On obtient ainsi le tableau d'adresses de lecture/écriture suivant:

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
0	7	14	1	8	15	2	9	16	3	10	17	4	11	18	5	12	19	6	13	20
0	9	18	7	16	5	14	3	12	1	10	19	8	17	6	15	4	13	2	11	20
0	3	6	9	12	15	18	1	4	7	10	13	16	19	2	5	8	11	14	17	20
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20

La première ligne correspond aux adresses d'écriture du premier bloc, la seconde aux adresses de lecture du premier bloc et aux adresses d'écriture du second bloc, et ainsi de suite. Le passage d'une ligne à la ligne suivante dans une même colonne se fait par application de la fonction f.

On notera que les première et cinquième lignes sont identiques, dans le cadre de l'exemple numérique utilisé. Cette périodicité peut être utilisée pour faciliter les calculs des adresses, ou leur mémorisation en mémoire morte.

La figure 5 donne l'équivalent graphique du tableau ci-dessus.

Il est à noter que le désentrelacement peut se faire en appliquant soit le procédé inventif, soit tout autre procédé de désentrelacement, le flux de données entrelacées émis par le dispositif d'entrelacement inventif ne se distinguant pas du flux créé par un autre dispositif d'entrelacement.

5        Selon une variante de ce mode de réalisation, et dans le but de simplifier les circuits, on effectue une lecture de la manière décrite aussi pendant l'écriture de premier bloc. Simplement on ne tiendra pas compte des résultats de cette première lecture.

10        La figure 6 représente schématiquement un exemple de réalisation d'un circuit séquenceur d'adresses mettant en oeuvre l'invention. A la base de ce circuit est la caractéristique selon laquelle, pour un bloc donné, le passage d'une adresse à la suivante se fait par addition d'une constante, le résultat étant pris modulo la taille de la mémoire moins 1 au cas où ce résultat dépasse l'adresse maximale de la mémoire. Par exemple,  
15        pour la première ligne du tableau ci-dessus, la constante est de 1, pour la seconde ligne, elle est de 7 (7 étant inférieur ou égal à 20, adresse maximale), pour la troisième, elle est de 9 ( $7^2$  modulo 20), pour la quatrième, elle est de 3 ( $7^3$  modulo 20). Pour la dernière ligne, on retombe sur une constante de 1 ( $7^4$  modulo 20). Les puissances correspondent  
20        aux puissances de la fonction f.

Le circuit de la figure 6 comporte une entrée 1 recevant un signal d'horloge (CO) à la fréquence des octets à entrelacer, un diviseur d'horloge par P (2) recevant l'horloge CO, ainsi qu'un diviseur d'horloge par L (3), recevant en entrée la sortie du diviseur par P (2).

25        On a donc à disposition trois horloges, donnant une impulsion respectivement pour tous les octets, tous les P octets et tous les blocs (de PL octets).

Le circuit séquenceur comporte en outre deux additionneurs modulo (LP-1) 4 et 5, ainsi qu'un registre tampon (ou "latch") 6. Le rôle du premier additionneur 4 est de calculer la constante mentionnée ci-dessus, celle-ci changeant tous les PL octets. Le latch 6 mémorise cette valeur, qui est utilisée par le second additionneur 5 pour calculer les adresses de lecture/écriture proprement dites.

30        L'additionneur 4 possède une entrée horloge recevant le signal de sortie du diviseur par P 2. Les deux entrées de cet additionneur reçoivent respectivement la sortie du même additionneur 4 et la sortie du registre tampon 6. L'additionneur 4 possède enfin une entrée d'initialisation RESET,

qui permet la remise à zéro et qui est commandée par le signal issu du diviseur par L 3 ou par le signal d'initialisation INIT.

La sortie de l'additionneur 4 est reliée à l'entrée du registre tampon 6. Ce dernier possède aussi une entrée SET, reliée à un signal d'initialisation INIT et permettant de le mettre à la valeur 1, ainsi qu'une entrée d'horloge, reliée au signal issu du diviseur par L 3. La sortie du registre tampon 6 est reliée à une entrée de chacun des additionneurs 4 et 6.

L'additionneur 5 reçoit sur son autre entrée sa propre sortie, qui constitue aussi la sortie du circuit séquenceur et fournit les adresses de lecture/écriture. Son entrée d'horloge est reliée au signal CO. L'entrée RESET de l'additionneur est reliée à un OU logique 7 à deux entrées, qui reçoivent la sortie du diviseur par L 3 et au signal d'initialisation INIT.

Le fonctionnement du circuit séquenceur est le suivant: on envoie une impulsion INIT aux entrées mentionnées ci-haut. Les sorties des deux additionneurs sont alors à zéro, tandis que la sortie du registre tampon est à 1. La sortie du circuit indique donc l'adresse 0.

Pour un cycle de l'horloge CO, on effectue d'abord la lecture de la donnée du bloc précédent à l'adresse indiquée par la sortie du circuit, puis l'écriture de la donnée du bloc présent à cette même adresse de la mémoire. Il conviendra de faire attention à ce que l'adresse en sortie du circuit séquenceur reste stable pendant les cycles de lecture/écriture, le résultat de l'addition constituant l'adresse de l'octet suivant ne devant apparaître qu'une fois ces cycles terminés. On utilisera par exemple un registre tampon (non illustré) recevant la sortie du circuit séquenceur et commandé par une horloge dérivée de CO.

La première impulsion sur CO, annonçant par son front montant la stabilisation du premier octet à écrire sur le bus de données de la mémoire d'entrelacement commande l'additionneur 5, qui additionne les valeurs présentes à ses entrées. Dans le présent cas, un 1 apparaît à la sortie, après le front montant de la première impulsion sur CO. Il en va de même à chacune des impulsions suivantes sur CO. L'additionneur 5 s'incrémente donc de 0 jusqu'à LP-1, valeur après laquelle il est remis à zéro par le diviseur par L 3. Les adresses progressent donc de la façon indiquée sur la figure 5 pour le bloc 1.

Pendant ce temps, l'additionneur 4 compte une impulsion de CO sur P impulsions, son entrée reliée au registre 6 étant égale à 1. Au bout de

LP impulsions sur CO, la sortie de l'additionneur présente la valeur L, mémorisée par le registre tampon 6 qui est commandé par l'impulsion issue du diviseur par L 3 à ce moment. Il conviendra de faire attention à ce que la valeur L à la sortie de l'additionneur 4 soit stabilisée avant le transfert vers le registre tampon 6.

Pour l'écriture du second bloc (et la lecture du premier), la progression des adresses se fera de L en L emplacements mémoire, comme indiquée par la valeur mémorisée par le registre tampon 6. C'est ici que la fonction modulo de l'additionneur 5 entre en jeu, de façon à ce que les adresses ne dépassent jamais l'adresse maximale de la mémoire.

Pendant ce temps, l'additionneur 4, préalablement remis à zéro, ajoute L fois L, obtenant  $L^2$  modulo LP-1. Le modulo est pris après chaque addition, ce qui réduit la taille du registre accumulateur de l'additionneur. Enfin, la valeur  $L^2 \bmod LP-1$  est mémorisée dans le registre tampon 6.

Le fonctionnement est alors identique pour tous les blocs suivants.

Selon l'exemple pris, le registre tampon 6 est initialisé à 1. Il est bien sûr possible, selon d'autres modes de réalisation, de l'initialiser à une autre des valeurs  $L^2 \bmod LP-1$ ,  $L^3 \bmod LP-1$  ou  $L$  puissance 4  $\bmod LP-1$ .

La partie de calcul modulo de l'additionneurs 5 est telle que le modulo n'entre en jeu que lorsque le résultat de l'addition est strictement supérieur à LP-1. En effet, étant donné les conventions prises pour l'adressage de la mémoire d'entrelacement, on n'obtiendrait jamais l'adresse LP-1 si cette précaution n'était pas prise.

Ceci est équivalent à dire que le modulo n'est mis en jeu que lorsque le résultat est différent de LP-1, étant donné que pour des valeurs strictement inférieures, le modulo ne change pas le résultat de l'addition.

On utilisera par exemple un comparateur de type connu pour comparer le résultat de l'addition à LP-1. Dans le cas où la comparaison montre que le résultat de l'addition est égal à LP-1, ou selon une variante, qu'il est inférieur ou égal, ce résultat est utilisé directement, sans qu'on en prenne le modulo. La réalisation d'un tel circuit est à la portée d'un homme de l'art.

On dispose ainsi d'un dispositif générateur d'adresse, ainsi que d'une horloge CO à la fréquence des octets. Selon un exemple de réalisation non illustré, on dispose d'une horloge à la fréquence  $2 \times CO$ , un diviseur de fréquences par deux créant l'horloge CO, cette horloge double

étant utilisée pour tout d'abord lire la donnée à l'adresse indiquée par le dispositif générateur, puis pour écrire la donnée du bloc suivant à cette même adresse. Les circuits d'interfaçage avec la mémoire ainsi que les bus de données sont facilement adaptables par l'homme du métier.

5 Bien que dans le présent mode de réalisation particulier, les données sont représentées sous la forme d'octets, d'autres formats sont bien évidemment possibles. D'autre part, le mode de réalisation particulier ci-dessus procède à un entrelacement consistant à choisir un octet à tour de rôle dans chaque paquet. L'invention est facilement adaptable à d'autres  
10 formes d'entrelacement.

La figure 7 illustre un autre exemple de réalisation d'un dispositif mettant en oeuvre l'invention. Suivant cet exemple, le dispositif comporte un microprocesseur 11, une mémoire morte 12 et la mémoire d'entrelacement  
15 13. La mémoire morte comporte une période entière de séquences d'adresses possibles pour l'adressage de la mémoire. Il s'agit par exemple des adresses correspondant aux quatre premières lignes du tableau donné ci-dessus. Le microprocesseur 11 adresse la mémoire 12. Pour la lecture et l'écriture de chaque bloc, la mémoire 12 fournit l'adresse nécessaire au bus  
20 d'adresses de la mémoire d'entrelacement 10. Les références 13 et 14 indiquent respectivement le bus de données en entrée et en sortie de la mémoire 10.

Comme on peut le voir, le dispositif est très simple. Les adresses sont pré-mémorisées dans une mémoire morte. L'avantage de ce dispositif  
25 est entre autres le fait que peu de moyens de calcul sont nécessaires pour l'adressage.

Selon une variante de réalisation de ce dispositif, le microprocesseur 11 est remplacé par un simple compteur.

30 La figure 8 illustre un autre exemple de réalisation d'un dispositif conforme à l'invention. Le dispositif comporte toujours la mémoire d'entrelacement 10. Il comporte également une mémoire 16, ainsi qu'un moyen de calcul tel qu'un microprocesseur 17. La mémoire contient les constantes permettant, pour l'écriture un bloc donné, de passer d'une  
35 adresse à l'adresse suivante. Si l'on reprend l'exemple de  $L=7$ ,  $P=3$ , ces constantes sont comme mentionné précédemment: 1, 7, 9 et 3. Le microprocesseur 17 lit ces constantes cycliquement au fur et à mesure des

besoins. Il effectue les additions nécessaires et le calcul modulo associé. Il adresse ensuite la mémoire 10.

## REVENDECATIONS

1. Procédé d'entrelacement de blocs de P paquets comportant chacun L mots binaires, selon lequel après avoir lu à une adresse donnée  
 5 une donnée correspondant à un bloc b-1, on inscrit à la même adresse une donnée correspondant au bloc b, ledit procédé étant caractérisé en ce que les adresses de la mémoire d'entrelacement allant de 0 à LP-1, la progression des adresses de lecture/écriture pour un bloc b est telle que:

10  $a_b(n) = (a_b(n-1) + (L^{(b-x)})) \bmod (LP-1)$  pour  $n \in ]0, LP-1[$ , n entier,  
 avec  $a_b(0) = 0$   
 $a_b(LP-1) = LP-1$   
 et  $b \in [1, \infty[$ , b entier  
 $x \leq b$ , x entier.

15

2. Procédé selon la revendication 1, caractérisé en ce que la suite des constantes  $L^{(b-x)}$  est mémorisée au préalable.

3. Procédé d'entrelacement de blocs de P paquets comportant  
 20 chacun L mots binaires, selon lequel après avoir lu à une adresse donnée une donnée correspondant à un bloc b-1, on inscrit à la même adresse une donnée correspondant au bloc b, ledit procédé étant caractérisé en ce que si  $a_b(n)$  est la suite des adresses de lecture/écriture dans la mémoire d'entrelacement dont les adresses vont de 0 à LP-1, la relation entre la suite  
 25 d'adresses du bloc b et la suite d'adresses du bloc b+1 est:

$$a_{b+1}(n) = L \times (a_b(n)) \bmod (LP-1) \text{ si } n \neq LP-1,$$

$$a_{b+1}(LP-1) = LP-1.$$

30 4. Procédé selon l'une des revendications précédentes, caractérisé en ce qu'il n'y a pas de lecture de données pendant l'écriture des données du premier bloc.

5. Procédé selon l'une des revendications précédentes,  
 35 caractérisé en ce que la suite d'adresses d'écriture du premier bloc est  $[0; \dots; LP-1]$ .

6. Dispositif de génération d'adresses d'entrelacement et/ou de désentrelacement de blocs de P paquets, chaque paquet comportant L mots binaires, caractérisé en ce qu'il comprend des moyens de génération (4,6), pour un bloc d'ordre b, d'une constante  $L(b-x)$  modulo (LP-1) avec b entier et
- 5 x entier constant inférieur ou égal à b, et des moyens d'addition (5) d'un multiple par m (entier variant de 0 à LP-1) de ladite constante à une adresse de base ( $a_b(0)$ ), chaque valeur résultante étant prise modulo (LP-1) si ladite valeur est soit différente de (LP-1), soit strictement supérieure à (LP-1), le résultat de cette addition constituant l'adresse de lecture du bloc b et
- 10 l'adresse d'écriture du bloc b+1.
7. Dispositif de génération d'adresses selon la revendication 6 caractérisé en ce qu'il reçoit une horloge (CO) à la fréquence des octets à entrelacer, le dispositif comportant un diviseur d'horloge par P (2) recevant l'horloge CO, un diviseur d'horloge par L (3), recevant en entrée la sortie du
- 15 diviseur par P (2), deux additionneurs (4,5) modulo (LP-1), le second additionneur n'effectuant le calcul modulo que si le résultat de son addition est soit différent, soit strictement supérieur à (LP-1), ainsi qu'un registre tampon (6), le premier additionneur (4) possédant une entrée horloge recevant le signal de sortie du diviseur par P (2), les deux entrées de ce
- 20 premier additionneur (4) recevant respectivement la sortie du même additionneur (4) et la sortie du registre tampon (6), l'additionneur (4) possédant enfin une entrée de remise à zéro, commandée par le signal issu du diviseur par L (3) ou un signal d'initialisation (INIT), la sortie du premier additionneur (4) étant d'autre part reliée à l'entrée dudit registre tampon (6),
- 25 ce dernier possédant aussi une entrée SET, reliée au signal d'initialisation (INIT) et permettant de le mettre à la valeur 1, ainsi qu'une entrée d'horloge, reliée au signal issu du diviseur par L (3), la sortie du registre tampon (6) étant reliée à une entrée de chacun des deux additionneurs (4,5), le second additionneur (5) recevant sur son autre entrée sa propre sortie, qui constitue
- 30 aussi la sortie du dispositif et fournit les adresses de lecture/écriture, l'entrée d'horloge du second additionneur (5) étant reliée au signal CO, l'entrée de remise à zéro (RESET) du second l'additionneur (5) étant reliée à un OU logique (7) à deux entrées, qui reçoit la sortie du diviseur par L (3) et le signal d'initialisation (INIT).
- 35 8. Dispositif selon l'une des revendications 6 ou 7, caractérisé en ce qu'il met en oeuvre le procédé selon l'une des revendications 1 à 5.



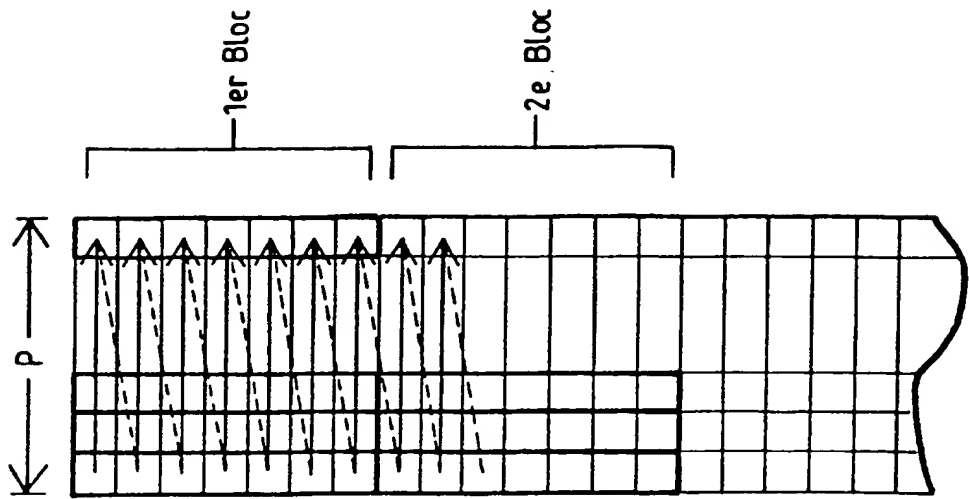


FIG.3

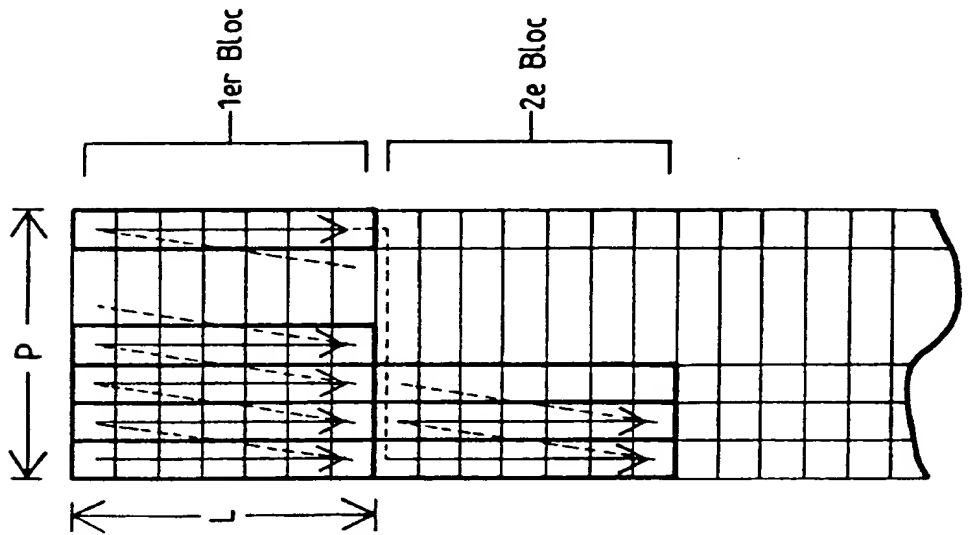


FIG.2

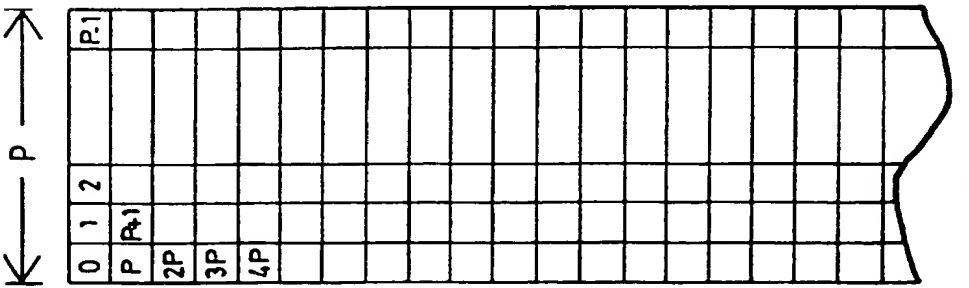
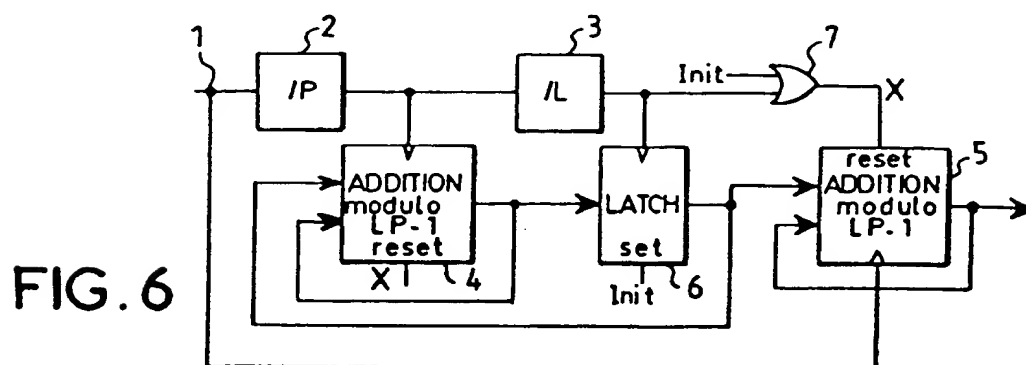
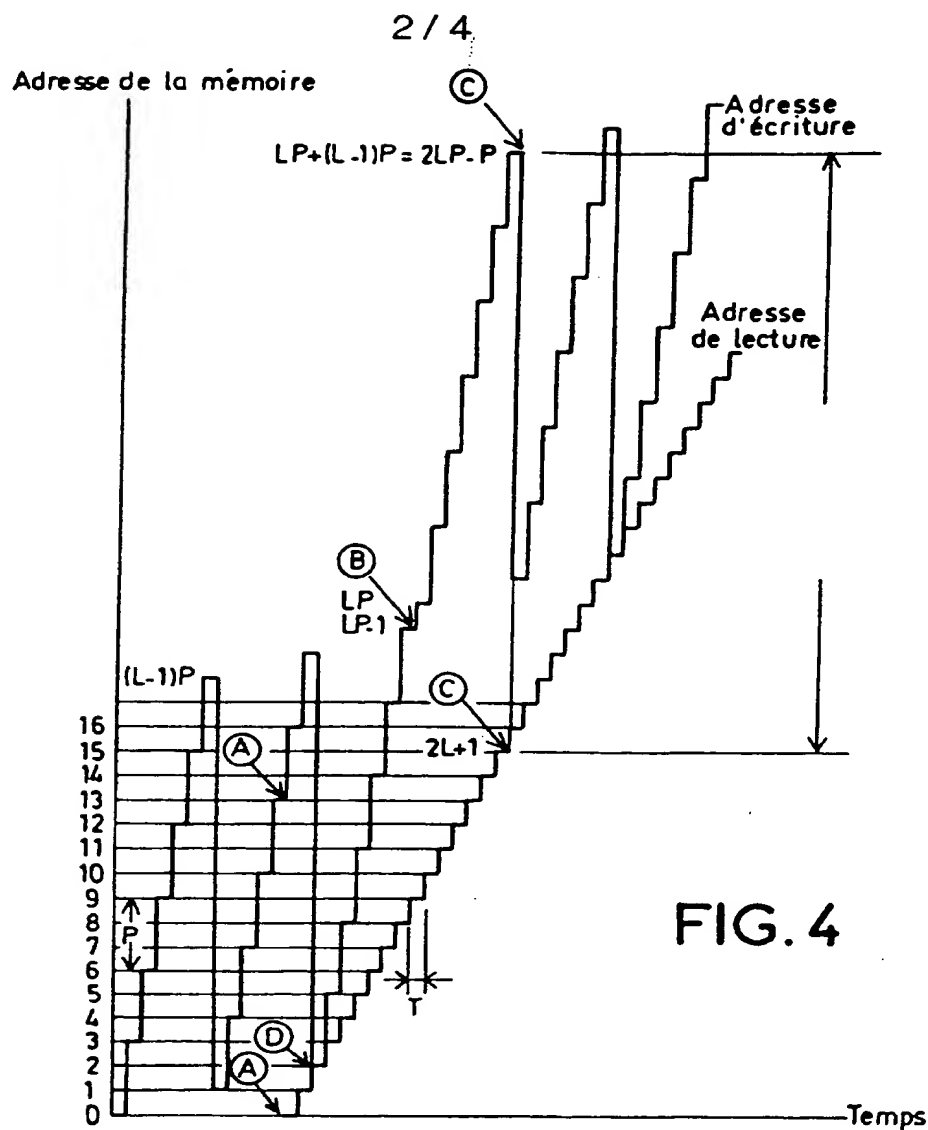


FIG.1



3 / 4

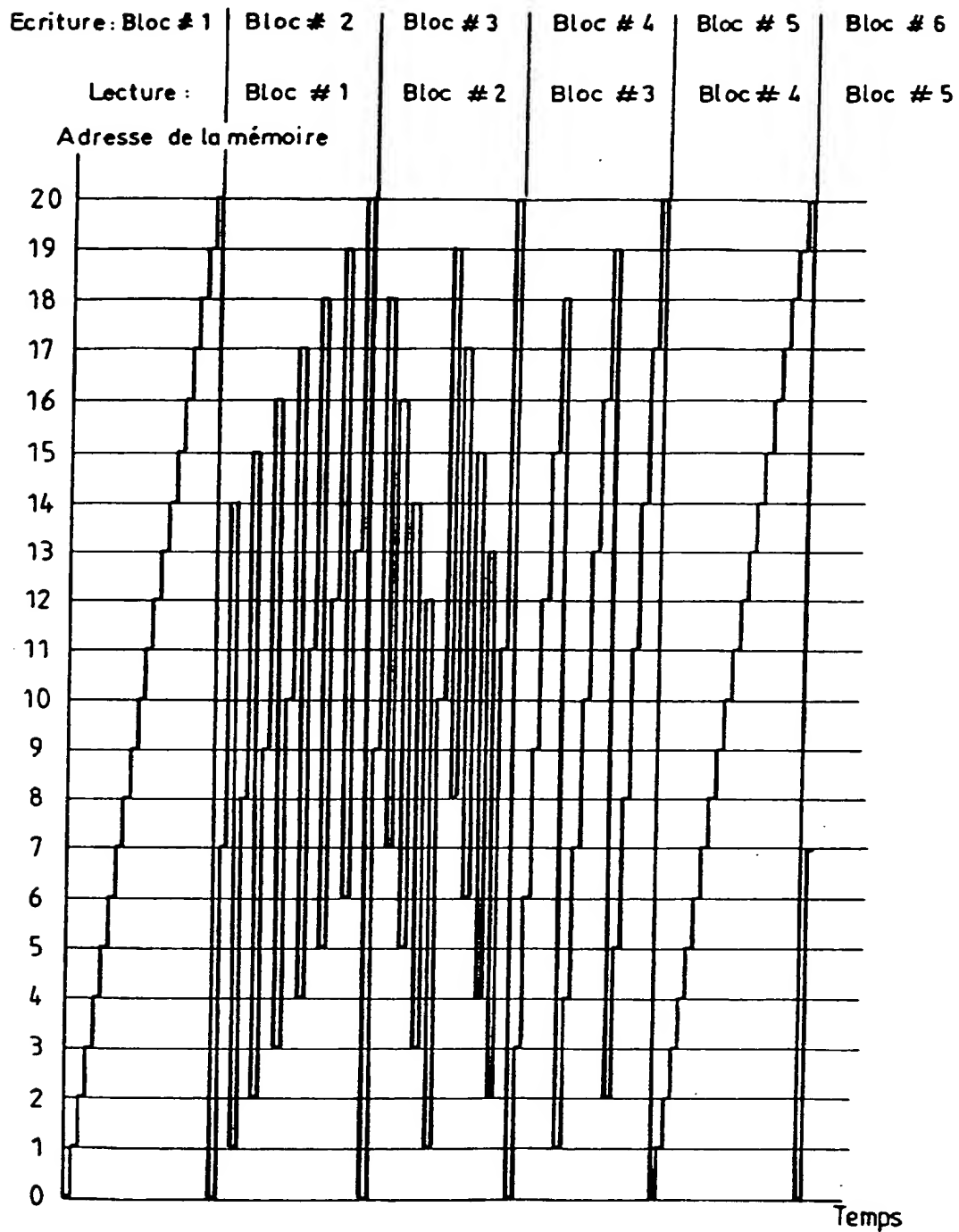


FIG. 5

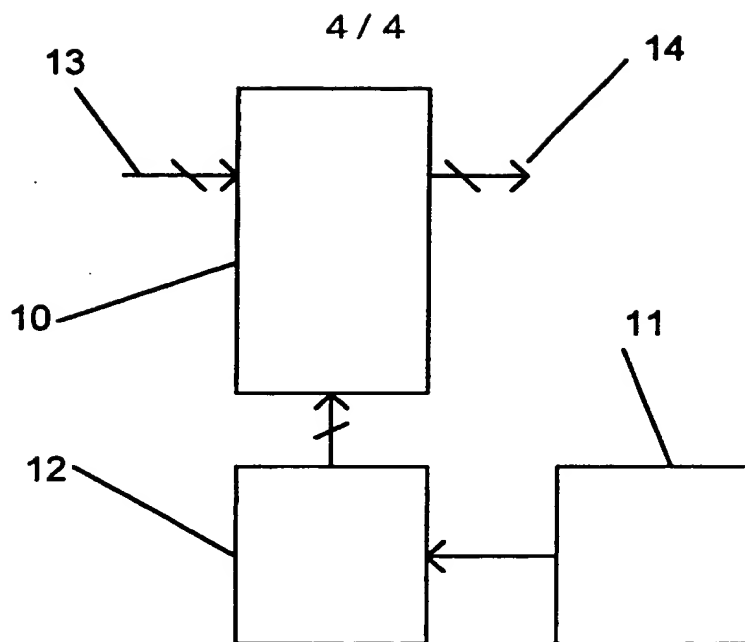


FIG. 7

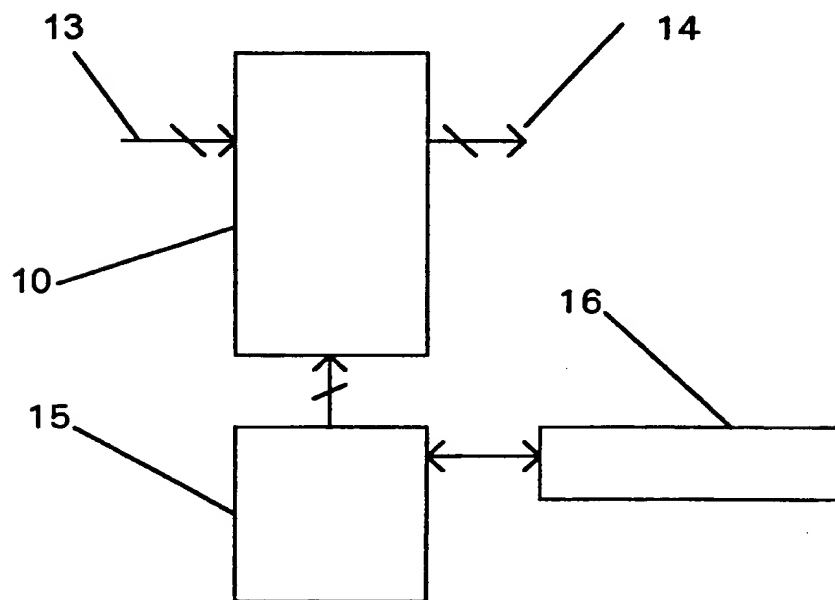


FIG. 8

## INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 94/01417

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 6 H03M13/22

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H03M G11B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP,A,0 370 444 (ALCATEL TRANSMISSION PAR FAISCEAUX HERTZIENS) 30 May 1990 see abstract see page 2, line 49 - page 5, line 26 ---	1,3
A	DE,A,35 39 592 (ANT NACHRICHTENTECHNIK) 19 June 1987 see figure 4 ---	1,3
A	EP,A,0 467 717 (MATSUSHITA ELECTRIC INDUSTRIAL CO.,LTD.) 22 January 1992 see abstract see page 3, line 14 - line 46; figures 1-3 --- -/--	1

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

## \* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

14 March 1995

Date of mailing of the international search report

10.04.95

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+ 31-70) 340-3016

Authorized officer

Devergranne, C

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 94/01417

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP,A,0 405 673 (PHILIPS GLOEILAMPENFABRIEKEN) 2 January 1991 see abstract see column 3, line 35 - column 4, line 50; figure 1 ---	1,6
A	PATENT ABSTRACTS OF JAPAN vol. 9, no. 318 (E-366) 13 December 1985 & JP,A,60 152 130 (NEC HOME ELECTRONICS KK) 10 August 1985 see abstract ---	1,2
A	US,A,3 652 998 (FORNEY) 28 March 1972 ---	
A	IEEE TRANSACTIONS ON INFORMATION THEORY, vol.16, no.3, May 1970, NEW YORK US pages 338 - 345 RAMSEY 'Realization of optimum interleavers' ---	
A	ELECTRONICS AND COMMUNICATIONS IN JAPAN, vol.67, no.10, October 1984, NEW YORK US pages 57 - 65 OHUE ET AL 'Block interleavers with maximum pulse distance' ---	
A	PATENT ABSTRACTS OF JAPAN vol. 7, no. 152 (P-208) 5 July 1958 & JP,A,58 062 752 (NIPPON DENKI KK) 14 April 1983 see abstract ---	
A	PATENT ABSTRACTS OF JAPAN vol. 17, no. 182 (P-1518) 8 April 1993 & JP,A,04 335 266 (AIWA CO LTD) 24 November 1992 see abstract -----	

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 94/01417

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0370444	30-05-90	FR-A- 2639781 CA-A- 2003716 DE-D- 68920830 US-A- 5056105	01-06-90 25-05-90 09-03-95 08-10-91
DE-A-3539592	19-06-87	DE-A- 3527726	21-05-87
EP-A-0467717	22-01-92	JP-A- 4265083 JP-A- 4079616 KR-B- 9411603	21-09-92 13-03-92 22-12-94
EP-A-0405673	02-01-91	NL-A- 8901631 JP-A- 3038125 US-A- 5276827	16-01-91 19-02-91 04-01-94
US-A-3652998	28-03-72	NONE	

# RAPPORT DE RECHERCHE INTERNATIONALE

Den Internationale No  
PCT/FR 94/01417

<b>A. CLASSEMENT DE L'OBJET DE LA DEMANDE</b> CIB 6 H03M13/22		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
<b>B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE</b> Documentation minimale consultée (système de classification suivi des symboles de classement) CIB 6 H03M G11B		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)		
<b>C. DOCUMENTS CONSIDERES COMME PERTINENTS</b>		
Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP,A,0 370 444 (ALCATEL TRANSMISSION PAR FAISCEAUX HERTZIENS) 30 Mai 1990 voir abrégé voir page 2, ligne 49 - page 5, ligne 26 ---	1, 3
A	DE,A,35 39 592 (ANT NACHRICHTENTECHNIK) 19 Juin 1987 voir figure 4 ---	1, 3
A	EP,A,0 467 717 (MATSUSHITA ELECTRIC INDUSTRIAL CO.,LTD.) 22 Janvier 1992 voir abrégé voir page 3, ligne 14 - ligne 46; figures 1-3 --- -/--	1
<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents <input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités:		
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée  14 Mars 1995		Date d'expédition du présent rapport de recherche internationale  10.04.95
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Fonctionnaire autorisé  Devergranne, C



# RAPPORT DE RECHERCHE INTERNATIONALE

Der. : Internationale No  
PCT/FR 94/01417

C(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP,A,0 405 673 (PHILIPS GLOEILAMPENFABRIEKEN) 2 Janvier 1991 voir abrégé voir colonne 3, ligne 35 - colonne 4, ligne 50; figure 1 ---	1,6
A	PATENT ABSTRACTS OF JAPAN vol. 9, no. 318 (E-366) 13 Décembre 1985 & JP,A,60 152 130 (NEC HOME ELECTRONICS KK) 10 Août 1985 voir abrégé ---	1,2
A	US,A,3 652 998 (FORNEY) 28 Mars 1972 ---	
A	IEEE TRANSACTIONS ON INFORMATION THEORY, vol.16, no.3, Mai 1970, NEW YORK US pages 338 - 345 RAMSEY 'Realization of optimum interleavers' ---	
A	ELECTRONICS AND COMMUNICATIONS IN JAPAN, vol.67, no.10, Octobre 1984, NEW YORK US pages 57 - 65 OHUE ET AL 'Block interleavers with maximum pulse distance' ---	
A	PATENT ABSTRACTS OF JAPAN vol. 7, no. 152 (P-208) 5 Juillet 1958 & JP,A,58 062 752 (NIPPON DENKI KK) 14 Avril 1983 voir abrégé ---	
A	PATENT ABSTRACTS OF JAPAN vol. 17, no. 182 (P-1518) 8 Avril 1993 & JP,A,04 335 266 (AIWA CO LTD) 24 Novembre 1992 voir abrégé -----	

# **RAPPORT DE RECHERCHE INTERNATIONALE**

Renseignements relatifs aux membres de familles de brevets

Der : Internationale No  
PCT/FR 94/01417

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP-A-0370444	30-05-90	FR-A- 2639781	01-06-90
		CA-A- 2003716	25-05-90
		DE-D- 68920830	09-03-95
		US-A- 5056105	08-10-91
DE-A-3539592	19-06-87	DE-A- 3527726	21-05-87
EP-A-0467717	22-01-92	JP-A- 4265083	21-09-92
		JP-A- 4079616	13-03-92
		KR-B- 9411603	22-12-94
EP-A-0405673	02-01-91	NL-A- 8901631	16-01-91
		JP-A- 3038125	19-02-91
		US-A- 5276827	04-01-94
US-A-3652998	28-03-72	AUCUN	